

日本国特許庁  
PATENT OFFICE  
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日

Date of Application:

1999年 8月30日

出願番号

Application Number:

平成11年特許願第242883号

出願人

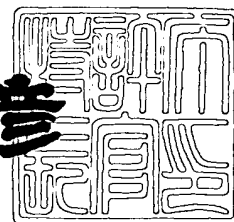
Applicant (s):

株式会社豊田中央研究所

1999年10月15日

特許庁長官  
Commissioner,  
Patent Office

近藤隆彦



出証番号 出証特平11-3071394

【書類名】 特許願

【整理番号】 TC1-0386

【提出日】 平成11年 8月30日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/10  
H01L 27/108

【発明の名称】 半導体記憶装置

【請求項の数】 4

【発明者】

    【住所又は居所】 愛知県愛知郡長久手町大字長湫字横道 4 1 番地の 1 株  
    株式会社豊田中央研究所内

    【氏名】 兼近 将一

【発明者】

    【住所又は居所】 愛知県愛知郡長久手町大字長湫字横道 4 1 番地の 1 株  
    株式会社豊田中央研究所内

    【氏名】 中嶋 健次

【発明者】

    【住所又は居所】 愛知県愛知郡長久手町大字長湫字横道 4 1 番地の 1 株  
    株式会社豊田中央研究所内

    【氏名】 光嶋 康一

【特許出願人】

    【識別番号】 000003609

    【氏名又は名称】 株式会社豊田中央研究所

【代理人】

    【識別番号】 100075258

    【弁理士】

    【氏名又は名称】 吉田 研二

    【電話番号】 0422-21-2340

【選任した代理人】

【識別番号】 100081503

【弁理士】

【氏名又は名称】 金山 敏彦

【電話番号】 0422-21-2340

【選任した代理人】

【識別番号】 100096976

【弁理士】

【氏名又は名称】 石田 純

【電話番号】 0422-21-2340

【手数料の表示】

【予納台帳番号】 001753

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置

【特許請求の範囲】

【請求項 1】 各メモリ単位を構成するキャパシタに電荷を蓄えることにより情報を記憶する半導体記憶装置において、

各メモリ単位にシリコン結晶の針状体が形成され、この針状体の側面を一方の電極としてキャパシタが形成されていることを特徴とする半導体記憶装置。

【請求項 2】 請求項 1 に記載の半導体記憶装置において、

さらに、前記シリコン結晶の針状体の一部に、前記キャパシタに電荷を供給するためのスイッチングトランジスタが形成されていることを特徴とする半導体記憶装置。

【請求項 3】 請求項 2 に記載の半導体記憶装置において、

前記スイッチングトランジスタは、前記シリコン結晶の針状体のふもと部分に形成され、その先端側に前記キャパシタが形成されていることを特徴とする半導体記憶装置。

【請求項 4】 請求項 2 に記載の半導体記憶装置において、

前記スイッチングトランジスタは、前記シリコン結晶の針状体の先端部分に形成され、その下側に前記キャパシタが形成されていることを特徴とする半導体記憶装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、DRAM等の、キャパシタに電荷を蓄えるタイプの半導体記憶装置に関し、特に記憶装置の高集積化に関する。

【0 0 0 2】

【従来の技術】

図 1 は、DRAM（ダイナミック・ランダム・アクセス・メモリ：記憶保持動作が必要な記憶装置）の基本的な回路構成を示しており、キャパシタとスイッチングトランジスタが接続されている。キャパシタは接地されており、スイッチン

グトランジスタはビット線およびワード線と接続されている。

【0 0 0 3】

従来よりDRAMには高集積化が求められており、そして高集積化のためには、キャパシタとトランジスタの素子占有面積をできる限り小さくすることが求められる。

【0 0 0 4】

このうちキャパシタには必要な容量を確保しつつ占有面積を小さくすることが求められる。通常、キャパシタは配線容量より1桁以上大きな容量をもつ必要がある。キャパシタ容量が配線容量と同じ程度に小さいと、電荷を保持することができず、メモリ動作が不可能になってしまう。現在量産されている64 M b i t DRAMのキャパシタ容量は約30 f Fである。

【0 0 0 5】

小さな面積で大きな容量を持つキャパシタとして、スタックキャパシタおよびトレンチキャパシタが実用化されており、これらのキャパシタは、2次元的でなく3次元的配置によって容量増大を図っている。さらに、キャパシタの実行面積を稼ぐためにキャパシタ電極の対向面に凹凸を形成する構造が提案されている（例えば、特開平11-54727号公報）。そして、現在の64 M b i t DRAMにおいては、メモリセルの占有面積は $2 \mu\text{m}^2$ 程に達している。

【0 0 0 6】

【発明が解決しようとする課題】

上述のように、従来よりキャパシタの占有面積の縮小が図られてはいるものの、従来技術を利用している限りは、高集積化にも限界がある。例えば、G b i tクラスのDRAMを実現しようとした場合、メモリセルの面積を $0.3 \mu\text{m}^2$ 程度まで小さくすることが要求される。これを従来技術で実現しようとするれば、キャパシタ容量が配線容量（数fF）に埋もれてしまう。

【0 0 0 7】

本発明は、上記の背景技術の下でなされたものであり、その目的は、各メモリ単位のキャパシタ面積を大幅に縮小可能な記憶装置を提供し、これをもってメモリの高集積化に寄与し、G b i tクラスのDRAMをも実現可能とすることにあ

る。本発明は、適当な 3 次元構造体を有効に活用することによって上記目的を達成するものである。

#### 【0008】

##### 【課題を解決するための手段】

上記目的を達成するため、本発明は、各メモリ単位を構成するキャパシタに電荷を蓄えることにより情報を記憶する半導体記憶装置において、各メモリ単位にシリコン結晶の針状体が形成され、この針状体の側面を一方の電極としてキャパシタが形成されていることを特徴とする。

#### 【0009】

本発明によれば、シリコン結晶の針状体の側面にキャパシタが形成されるので、針状体の上方から見たときの面積が小さいにも関わらず、キャパシタ電極面積は大きくなる。したがって、占有面積を小さくしてもキャパシタ容量を確保することができ、電気信号を十分に確保できる。この構造を利用してメモリの集積化を図ることができる。

#### 【0010】

上記のシリコン結晶の針状体の適当な大きさとしては、例えば、先端径が数ナノメートル程度であり、高さが 5 ～ 10 マイクロメートル程度である。この針状体はキャパシタの一方の電極として機能する。針状体の周りに酸化膜等の膜を介してもう他方のキャパシタ電極（外側電極）が形成される。この他方の電極は、例えば導電性を有するポリシリコン（多結晶シリコン）で形成される。このような構成により、配線容量と比較して十分に大きなキャパシタ容量、例えば 18 fF 程度の容量が確保される。

#### 【0011】

上記のシリコン結晶の針状体は、好ましくは、シリコン基板又はシリコン層中に形成された不純物析出領域をマイクロマスクとして、該シリコン基板またはシリコン層を高選択比異方性エッチングすることにより、前記マイクロマスクを頂点として形成された錘型構造物である。これにより、必要なキャパシタ容量を実現する適当なシリコン針状体を得られる。

## 【0 0 1 2】

本発明の好ましい一態様においては、さらに、前記シリコン結晶の針状体の一部に、前記キャパシタに電荷を供給するためのスイッチングトランジスタが形成されている。前記スイッチングトランジスタは、前記シリコン結晶の針状体のふもと部分（基部、基端または根本）に形成されてもよい。また前記スイッチングトランジスタは、前記シリコン結晶の針状体の先端部分に形成されてもよい。この態様によれば、さらなるメモリの集積化が可能となる。

## 【0 0 1 3】

さらに、シリコン結晶の針状体の先端にスイッチングトランジスタを配置する構成においては、針先端部を量子ドットとする単電子トランジスタ機能が得られ、消費電力を低減することができる。

## 【0 0 1 4】

本発明の別の態様は半導体記憶装置の製造方法である。この方法は、シリコン結晶の針状体を形成するステップと、シリコン結晶の針状体の側面にキャパシタを形成するステップとを含む。さらに、キャパシタに電荷を供給するためのスイッチングトランジスタをシリコン結晶の針状体上またはその近傍に形成するステップを含む。

## 【0 0 1 5】

以上に説明したように、本発明によれば、シリコン結晶の針状体の側面にキャパシタを形成することにより、小さな面積で大きなキャパシタ容量を確保することができる。スイッチングトランジスタを針状体に形成することにより、さらなる集積化が可能となる。好適な形状のシリコン針状体は、上述の異方性エッチングにより得られる。このようにして、メモリセルの小型化が可能となり、メモリの高集積化が可能となり、G b i tクラスのDRAMの実現にも寄与することができる。

## 【0 0 1 6】

ただし、ここでは主としてDRAMについて説明したが、DRAM以外のキャパシタ利用型の任意のタイプの記憶装置にも本発明を同様に適用可能なことはもちろんである。

【0 0 1 7】

## 【発明の実施の形態】

以下、本発明の好適な実施の形態（以下、実施形態という）について図面を参照し説明する。

【0 0 1 8】

## ＜実施形態 1.＞

図 2 は、本実施形態の D R A M を構成するメモリセル（メモリ単位）を模式的に示している。ここでは一つのメモリセルが示されているが、多数の同様のメモリセルを配列することにより D R A M が構成される。D R A M の全体的な構成およびその原理は、従来の周知の D R A M と同様でよく、ここでの詳細な説明は省略する。

【0 0 1 9】

図 2（a）はメモリセルの正面断面図であり、図 2（b）は図 2（a）の A－A 断面である。図示のように、メモリセルは、キャパシタ 1 0 およびスイッチング M O S トランジスタ 2 0 を有し、これらは隣同士に配置され、互いに接続されている。

【0 0 2 0】

まずキャパシタ 1 0 について説明すると、本発明の特徴としてシリコン結晶の針状突起 1 1（本発明の針状体に相当）の側面にキャパシタ 1 0 が形成されている。針状突起 1 1 は円錐型であり、シリコン基板 1 から突出している。この針状突起 1 1 がキャパシタの一方の電極、すなわち接地側キャパシタ電極として機能する。針状突起 1 1 は熱酸化膜からなる絶縁膜 1 2 で覆われている。絶縁膜 1 2 を介して針状突起 1 1 を囲むように、キャパシタのもう一つの電極であるスイッチ側キャパシタ電極 1 3（外側電極）が形成されている。キャパシタ電極 1 3 は好適には導電性を有するポリシリコン（多結晶シリコン）で形成される。キャパシタ電極 1 3 は、針状突起 1 1 のふもとから始まり、突起頂点の少し下の所定高さまで達している。キャパシタ電極 1 3 のさらに外側は絶縁膜 1 4 で覆われている。

## 【 0 0 2 1 】

一方、スイッチング MOS トランジスタ 2 0 は n チャネル MOS FET であり、針状突起 1 1 の底面と同一平面上に、そして針状突起 1 1 の隣に形成されている。図示のように、シリコン基板 1 の平坦部分は針状突起 1 1 と同様に絶縁膜 1 2 で覆われている。絶縁膜 1 2 の下側にソース不純物濃度層 2 1 およびドレイン不純物濃度層 2 2 が間隔をあけて設けられている。これらの層 2 1, 2 2 の上方に、絶縁膜 1 2 を介してゲート電極としてのワード線 2 3 が設けられている。ワード線 2 3 は紙面に垂直方向に延びており、その下側領域がトランジスタのチャネルである。ワード線 2 3 は好適にはポリシリコンで形成され、さらに好適にはキャパシタ電極 1 3 と同時に形成される。ワード線 2 3 も絶縁膜 1 4 で覆われている。

## 【 0 0 2 2 】

さらに、ソース不純物濃度層 2 1 はスイッチ側キャパシタ電極 1 3 に接続されている。すなわち、キャパシタ電極 1 3 の一部が針状突起 1 1 から離れて、ソース不純物濃度層 2 1 まで延びている。一方、ドレイン不純物濃度層 2 2 は、絶縁膜 1 4 の上に配置されたビット線 2 4 と接続されている。ビット線 2 4 は好適にはアルミニウムで形成される。

## 【 0 0 2 3 】

以上にメモリセルの構成を説明した。メモリセルの動作は基本的には周知のメモリと同様であり、ワード線 2 3 に信号を与えると、その下部のチャネルがオンになり、ビット線 2 4 からスイッチ側キャパシタ電極 1 3 へと電子が流れ込む。

## 【 0 0 2 4 】

次に、キャパシタ 1 0 を構成するシリコン結晶の針状突起 1 1 の好適な大きさを説明すると、先端の直径が 1 0 n m 以下、好適には数 n m であり、突起の高さは 5 ~ 1 0  $\mu$  m である。例えば結晶高さが 5  $\mu$  m である場合、キャパシタ部の容量値は約 1 8 f F であり、この値は配線容量よりも十分に大きく、したがってメモリセルとしての電荷保持に耐えうる。このとき針状突起 1 1 の根本部分の大きさは約 0 . 2  $\mu$  m である。図 2 の構成の場合の素子占有面積は、従来技術と同等

まで小さくすることができる。

#### 【0025】

このように、本実施形態によれば、シリコン針状結晶の側面にキャパシタを形成したので、針の上方から見たときの面積が小さいにも拘わらず、キャパシタ電極面積を大きくすることができ、これにより必要なキャパシタ容量を確保できる。

#### 【0026】

次に、本実施形態のDRAMの製造方法を説明する。本発明では、微小針状突起がメモリセルにとって重要な構成要素である。そしてこの針状突起をもつ構造体を如何に作るかが重要なポイントである。そこでまず、本発明者が考案した、針状突起をシリコン基板に作る方法を説明する。

#### 【0027】

本実施形態の針状体は錐型であり、基板に突設形成される。このシリコン針状錐体は、単結晶シリコン基板又は単結晶シリコン層中に形成された不純物析出領域をマイクロマスクとし、シリコン基板又はシリコン層を高選択比異方性エッチングすることにより、マイクロマスクを頂点として形成することができる。

#### 【0028】

図3は、シリコン針状錐体の形成原理を表している。シリコン基板（シリコン層でもよい）には、不純物として例えば酸素を導入する。酸素が導入されたシリコン基板に対し熱処理を行うと、酸素が導入されていた領域に不純物析出領域として酸素析出領域（凝集した酸素とSiが結合した酸素析出欠陥 $\text{SiO}_2$ ）が形成される（図3（a）→（b）参照）。

#### 【0029】

熱処理後、このシリコン基板に対し $\text{SiO}_2$ 選択比の大きい条件で異方性エッチングを施すと、Si結晶とエッチングレートの異なる（ここでは、Si結晶よりもエッチングされ難い）酸素析出物がマイクロマスクとなり、このマスクを頂点としてSi錐体がエッチング露出面に形成される（図7（d））。異方性エッチングは、例えば、シリコン基板又はシリコン膜中の酸素析出領域をマイクロマスクとする場合、ハロゲン系（Br、Cl、F）ガスを含むガスを用いてドライ

エッチング（例えば反応性イオンエッチング）により行うことができる。このような条件でエッチングすれば、図3（d）のような酸素析出領域を頂点とした錐体、ここでは、円錐が得られる。

#### 【0030】

このように本発明では不純物析出領域をマイクロマスクに用いている。析出領域は好適にはイオン注入および熱処理によって得られる。フォトリソグラフィによって形成可能なマスクよりも十分に小さなマスクが得られ、その結果として、非常に急峻で尖ったシリコン針状錐体が形成される。この針状錐体は、後述するように量子ドットとしても機能し得る。

#### 【0031】

具体的大きさについて説明すると、針先端付近の曲率半径が数nm～十数nmで、アスペクト比が10程度の非常に細長い針状錐体得られる。また、錐体の底角は、例えば80°程度或いはそれ以上と極めて大きく、錐体の高さは、数 $\mu$ m程度とすることも可能である。針状錐体のアスペクト比は、異方性エッチングに用いる混合ガスの混合比などを制御することによって10以上にもできる（必要に応じて10より小さくすることも可能である）。

#### 【0032】

また上記の処理において、不純物析出領域の平面位置および深さ位置を所定位置とすることにより、同じ形状・大きさの複数のシリコン針状錐体が形成される。

#### 【0033】

シリコン針状錐体の密度は、マイクロマスクを形成するときの注入酸素量（ドーズ量）に応じて変化する。そこで本実施形態では、図4に示すように、針状錐体を形成したい領域を開口させるようなフォトリソグラフィを行い、好適な酸素ドーズ量条件で、開口した領域に1個ほど針状錐体を形成できるようにする。これにより、グリッド状にシリコン針状錐体を形成する。

#### 【0034】

次に、図5から図7を参照して、針状結晶を利用して図2のメモリセルを形成する方法の一例を説明する。まず、図5（a）に示すように、p型シリコン基板

に上記の方法でシリコン針状結晶を形成し、それから酸化させて熱酸化膜を形成する。熱酸化膜はシリコン基板および針状結晶の全体を覆う。図 5 (b) では、熱酸化膜をリソグラフィとドライエッチングにより部分的に除去する。除去領域は、キャパシタ電極にスイッチングトランジスタのソース不純物濃度領域を接触させる領域である。図 5 (c) では、減圧 CVD 法によってポリシリコンを全面に堆積させる。その後、ポリシリコン内にリンを拡散させて、 $10^{21} \text{ cm}^{-3}$  程度の高濃度にする。これによりポリシリコンが十分に導電性を有する。ポリシリコンは、後にキャパシタ電極およびワード線になる。

#### 【0035】

図 6 (a) に移り、レジストを塗布し、それからフォトリソグラフィによってレジストの一部領域を露光、除去する。除去領域は、スイッチングトランジスタのソース、ドレイン不純物濃度層を形成すべき領域である。なお、針状結晶の先端部分には、レジストの粘性の作用でレジストが元から塗布されない。図 6 (b) にてポリシリコンをドライエッチングする。ポリシリコンは、キャパシタ電極部分とワード線部分とに分かれる。図 6 (c) では、As+ がイオン注入され、スイッチングトランジスタのソースおよびドレイン不純物濃度層が形成される。

#### 【0036】

図 7 (a) に移り、プラズマ CVD によってボロンおよびリンがドーブされた酸化膜を堆積させる。酸化膜は、針状結晶および不純物濃度層を含む全体領域を覆い、絶縁膜として機能する。図 7 (b) では、各電極の記号を取り出すためのコンタクトホールがエッチングによって形成される。そして、アルミニウムをスパッタさせて、フォトリソグラフィとドライエッチングによってターニングを行う。その結果、図示のように、アルミニウムによってビット線が形成される。

#### 【0037】

以上のようにして、図 2 のメモリセル、すなわち、シリコン針状結晶に形成されたキャパシタと、キャパシタの隣に接続されたトランジスタとを有するメモリセルが形成される。本実施形態では工程が比較的簡単である、という利点も得られる。

## 【 0 0 3 8 】

## ＜実施形態 2.＞

次に、図 8 を参照し、本発明の第 2 の実施形態を説明する。本実施形態では、その特徴として、シリコン結晶の針状体の側面にキャパシタ 1 0 を形成したことに加え、さらに針状体の一部にスイッチングトランジスタが形成される。すなわち、キャパシタとスイッチングトランジスタの両方がシリコン針状結晶に形成され、これによりメモリのさらなる集積化が図られる。

## 【 0 0 3 9 】

図 8 (a) は、メモリセルの正面断面図であり、図 8 (b) は図 8 (a) の B 1 - B 1 断面であり、図 8 (c) は、図 8 (a) の B 2 - B 2 断面である。図示のように、キャパシタ 3 0 はシリコン結晶の針状体 3 1 の側面に形成されている。スイッチングトランジスタ 4 0 は、針状体 3 1 のふもと部分（根本、基部、基端または基板側端部）に、キャパシタに隣接して形成されている。キャパシタ 3 0 とトランジスタ 4 0 は絶縁膜 3 4 で仕切られている。

## 【 0 0 4 0 】

まずキャパシタ 3 0 の構成について説明する。図 2 と同様に、シリコン基板 1 から円錐型の針状突起 3 1 が突出している。ただし、図 2 では針状突起が接地側のキャパシタ電極として機能したのと異なり、本実施形態の針状突起 3 1 はスイッチ側キャパシタ電極として機能する。針状突起 3 1 は、熱酸化膜からなる絶縁膜 3 2 で覆われており、この絶縁膜 3 2 はシリコン基板 1 の平坦部も覆っている。そして、キャパシタのもう一つの電極である接地側キャパシタ電極 3 3 （外側電極）が、電極絶縁膜 3 2 を介して、針状突起 1 1 を囲んでいる。接地側キャパシタ電極 3 3 は接地端子に接続されている。好ましくはキャパシタ電極 3 3 は導電性を有するポリシリコンである。キャパシタ電極 3 3 のさらに外側は絶縁膜 3 4 で覆われている。

## 【 0 0 4 1 】

図 2 と異なり、キャパシタ電極 3 3 の下端は、針状体 3 1 の中腹部の適当な高さに位置する。つまり、キャパシタ 3 0 は、針状体 3 1 のふもと（基部）を除いた、中腹より上の側面に形成されている。

## 【 0 0 4 2 】

一方、スイッチングトランジスタ 4 0 に関しては、ゲート電極部 4 3 a が、針状突起 3 1 の根本の周囲を取り囲んでいる。ゲート電極部 4 3 a と針状突起 3 1 の間には絶縁膜 3 2 が介在している。ゲート電極部 4 3 a からワード線 4 3 が横方向に延びており、ワード線 4 3 は基板平坦部の絶縁膜 3 2 上に形成されている。ゲート電極部 4 3 a およびワード線 4 3 は、好適には一体に形成された導電性を有するポリシリコン層である。トランジスタ 4 0 のビット線 4 4 は、針状突起 3 1 の下側に形成されている。ビット線 4 4 は、シリコン基板 1 内に形成された n 型不純物濃度層であり、基板表面に沿って横方向に延びている。

## 【 0 0 4 3 】

このように、本実施形態においては、トランジスタ 4 0 は、シリコン針状結晶 3 1 のふもと（基部）の周囲に形成したポリシリコン層をゲート電極とする MOSFET である。チャネルは、針状結晶のふもとの周囲の熱酸化膜との界面に形成される。ワード線に信号を与えるとチャネルがオンし、ビット線から針状結晶へ向けて電子が流れ込む。

## 【 0 0 4 4 】

本実施形態においても、図 2 の形態と同様の適当な形状の針状結晶を用いることにより、必要なキャパシタ容量が確保される。本実施形態では、図 2 の形態と比べると製造工程数は多くなる。しかしながら、シリコン針状結晶部にキャパシタとスイッチングトランジスタを形成したことにより、メモリセルの占有面積を縮小でき、DRAM の高集積化が可能となる。シリコン針状結晶の占有面積が実質的にメモリセルの占有面積に相当する。したがって  $0.3 \mu\text{m} \times 0.3 \mu\text{m}$  程度というような小さなサイズのメモリセルを作ることができ、このようにして G b i t クラスの DRAM を実現可能となる。

## 【 0 0 4 5 】

本実施形態は、本発明の範囲内で任意に変形可能なことはもちろんである。すなわち、針状結晶のふもととトランジスタを形成し、その先端側にキャパシタを形成していれば、他の構成が採用されてもよい。

## 【 0 0 4 6 】

次に、図 9 から図 1 1 を参照し、本実施形態の D R A M の製造方法の一例を説明する。まず、図 9 ( a ) に示すように、 p 型シリコン基板から突出する円錐型のシリコン針状結晶が形成される。この針状結晶は、図 3 を用いて説明した本発明の特徴的な方法で形成される。また、針状結晶底部の深さにリンをイオン注入することにより n 型不純物濃度層が形成される。 n 型不純物濃度層は、シリコン針状結晶の下部から始まり、シリコン基板の表面に沿って横方向にのびる。この部分が後にビット線として機能する。さらに、シリコン基板平坦部およびシリコン針状結晶の全体を覆うように熱酸化膜が形成される。

## 【 0 0 4 7 】

図 9 ( b ) では、減圧 C V D 法によって熱酸化膜の上にポリシリコンを堆積させる。その後、ポリシリコン内にリンを拡散させて、 $10^{21} \text{ cm}^{-3}$  程度の高濃度にし、十分な導電性を与える。図 9 ( c ) では、レジストを塗布し、さらにフォトリソグラフィによってレジストを除去する。レジストを残す領域は、ゲート電極部（針状結晶部のふもと付近）とそこから延びるワード線に相当する領域のみである。

## 【 0 0 4 8 】

図 1 0 ( a ) に移り、ドライエッチングによりポリシリコン層が除去される。これにより、スイッチングトランジスタのゲート電極、ワード線のパターニングが行われる。図 1 0 ( b ) では、熱酸化処理によって熱酸化膜が形成される。熱酸化膜は、パターニングしたポリシリコンの上に形成されるとともに、針状結晶の中央から上部（ポリシリコンが成膜されていない部分）にかけても形成される。次に、図 1 0 ( c ) に示すように、減圧 C V D 法によってポリシリコンを堆積させる。その後、このポリシリコン内にリンを拡散させて  $10^{21} \text{ cm}^{-3}$  程度の高濃度として、十分な導電性を与える。

## 【 0 0 4 9 】

次に、図 1 0 ( c ) の状態でドライエッチングを行う。この場合、針状結晶の側壁の垂直膜厚  $b$  と比較して結晶頂点部の垂直膜厚  $a$  は十分に小さい。針状結晶の周囲（基板平坦部）のポリシリコン層の垂直膜厚も十分に小さい。したがって

、この膜厚の相違を利用し、適当なドライエッチング処理条件を設定することにより、針状結晶の側壁にのみポリシリコンを残し、その他の部分のポリシリコンを全て除去することができる。このエッチング処理の結果が図 1 1 (a) に示されており、残ったポリシリコンが接地側キャパシタ電極となる。

#### 【0 0 5 0】

図 1 1 (b) にて、CVD 法により酸化膜を全面に堆積する。さらに、図 1 1 (c) で、CVD 法により形成した酸化膜にドライエッチング処理を施してコンタクト部を形成する。コンタクト部は、キャパシタ電極のためのポリシリコンの下端部分に到達する深さまで形成される。このコンタクト部を介してポリシリコンに接続するようにアルミニウムの配線が形成され、アルミニウム配線は接地される。その結果、キャパシタの外側電極を接地する配線が形成される。なお、1 0 (c) と図 8 では接地用アルミニウム配線の配置が異なるが、この配線は適当に変更可能である。

#### 【0 0 5 1】

以上のようにして、図 8 のメモリセル、すなわち、シリコン針状結晶のふもとに形成されたスイッチングトランジスタと、その先端側に形成されたキャパシタとを有するメモリセルが形成される。

#### 【0 0 5 2】

#### ＜実施形態 3.＞

次に、図 1 2 を参照し、本発明の第 3 の実施形態について説明する。上述の実施形態と同様に、本実施形態でもキャパシタ 5 0 とスイッチングトランジスタ 6 0 の両方がシリコン結晶の針状体 5 1 上に形成される。ただし、本実施形態の特徴として、スイッチングトランジスタ 6 0 は針状結晶 5 1 の先端部に形成され、その他の部分にキャパシタ 5 0 が形成される。

#### 【0 0 5 3】

図 1 2 (a) はメモリセルの正面断面図であり、図 1 2 (b) は、図 1 2 (a) の C 1－C 1 断面であり、図 1 2 (c) は、図 1 2 (a) の C 2－C 2 断面である。

## 【0 0 5 4】

まずキャパシタ 5 0 の構成について説明する。シリコン基板 1 に埋め込み酸化膜 5 5 が形成され、酸化膜 5 5 の上にシリコン結晶の針状体 5 1 が突出している。針状体 5 1 は、スイッチ側キャパシタ電極として機能する。

## 【0 0 5 5】

針状体 5 1 は熱酸化膜からなる絶縁膜 5 2 により覆われている。そして、針状体 5 1 は、絶縁膜 5 2 を介して、キャパシタのもう一つの電極である接地側キャパシタ電極 5 3（外側電極）に囲まれている。接地側キャパシタ電極 5 3 の下端は横方向に延びて接地端子に接続されている。好ましくはキャパシタ電極 5 3 は導電性を有するポリシリコンである。キャパシタ電極 5 3 のさらに外側は絶縁膜 5 4 で覆われている。

## 【0 0 5 6】

本実施形態では、キャパシタ 5 0 は、針状体 5 1 の先端部分を除く領域、すなわち、中腹より下の側面に形成されている。これに応じて、接地側キャパシタ電極 5 3 の設置範囲の上端は、針状体 5 1 の上端より少し低い適当な高さに設定され、電極下端は針状体 5 1 の下端と等しく設定されている。

## 【0 0 5 7】

次に、スイッチングトランジスタ 6 0 の構成について説明する。針状体 5 1 の先端付近は局所的にゲート電極部 6 3 a で囲まれている。ゲート電極部 6 3 a と針状体 5 1 の間には絶縁膜 5 2 が介在している。ゲート電極部 6 3 a と下方のキャパシタ電極 5 3 は絶縁膜 5 4 で仕切られており、かつ、ゲート電極部 6 3 a は針先端の少し下までしか達していない。ゲート電極部 6 3 a からは横方向にワード線 6 3 が延びている。ゲート電極部 6 3 a およびワード線 6 3 は、好適には一体に形成された導電性を有するポリシリコン層である。

## 【0 0 5 8】

トランジスタ 6 0 のビット線 6 4 は、針状体 5 1 の先端の上方に形成されている。ビット線 6 4 は絶縁膜 5 4 の上に形成されているので、ビット線 6 4 と針状体 5 1 の先端との間には、絶縁膜 5 2 および絶縁膜 5 4 が介在している。ただし、図示のように、この部分の絶縁膜 5 4 は薄く設けられている。

## 【 0 0 5 9 】

このように、本実施形態では、針状結晶の先端付近の周囲にゲート電極が形成され、かつ、針状結晶の上方にビット線が形成されている。そしてこれらによってスイッチングトランジスタ 6 0 の機能が得られる。トランジスタのチャネルは、針状結晶の頂点付近にて、熱酸化膜との界面部分に形成される。ワード線に信号を与えると、チャネルがオンになり、ビット線から針状結晶へと電子が流れ込む。

## 【 0 0 6 0 】

このとき、針状結晶の先端が非常に細く、ナノオーダーの大きさなので、先端部分に高電界が生じ、この高電界によって熱酸化膜の破壊がおきる。この酸化膜破壊によって、ビット線のアルミニウムと針状結晶とのコンタクトが確保される。

## 【 0 0 6 1 】

以上、本実施形態のメモリセルについて説明した。本実施形態でも、上述の実施形態と同様に、シリコン針状結晶にキャパシタとトランジスタを両方とも形成したので、DRAMの高集積化が可能となる。メモリセルの占有面積は、実質的に針状結晶の占有面積に相当する。針状結晶の先端の大きさを数ナノメートルとすれば、メモリセルの占有面積は  $0.3 \mu\text{m} \times 0.3 \mu\text{m}$  程度になり、G b i t クラスのDRAMを実現可能である。

## 【 0 0 6 2 】

さらに、本実施形態によれば、針状結晶の先端がスイッチングトランジスタに用いられており、この先端部はナノレベルの微細領域である。したがって、供給バイアスを小さくすることによって、結晶先端部をいわゆる量子ドットとする単電子トランジスタとして機能することもできる。単電子トランジスタを設けたことにより、消費電力を小さくすることができる。

## 【 0 0 6 3 】

本実施形態は、本発明の範囲内で任意に変形可能なことはもちろんである。すなわち、針状結晶の先端にトランジスタを形成し、その下側にキャパシタを形成していれば、他の構成が採用されてもよい。例えば、図 1 2 の埋め込み酸化膜 5

5の代わりに、p型不純物をドーブしたシリコン基板（針状結晶部はn型不純物濃度層）を用いたpn接合分離を採用してもよい。

#### 【0064】

次に、図13から図15を参照し、本実施形態のDRAMの製造方法を説明する。まず、図13(a)に示すように、SOI (Sillicon On Insulator) を用意し、SOI基板の埋め込み層上の単結晶層中にシリコン針状結晶を形成する。針状結晶は、図3を用いて説明した本発明の特徴的な方法で形成される。その後、熱酸化によってシリコン針状結晶を酸化する。

#### 【0065】

図13(b)では、減圧CVD法によってポリシリコンを堆積させ、その後、ポリシリコン内にリンを拡散させて $10^{21} \text{ cm}^{-3}$ 程度の高濃度にし、導電性を与える。図13(c)では、レジストの塗布およびフォトリソグラフィを行う。レジストを残す領域は、シリコン針状結晶の先端を除く領域と、平坦部の接地線に相当する領域のみである。

#### 【0066】

図13(c)の状態からドライエッチングを行う。すると、図14(a)に示すように、針状結晶の下端から適当な高さまでの範囲（先端部を除く範囲）、および、横方向に延びる接続部分、に導電性ポリシリコンが残る。すなわち、キャパシタの一方の電極領域のパターニングが行われる。図14(b)では、レジスト除去後に熱酸化処理を行う。パターニングしたポリシリコンに熱酸化膜が形成される。それから、減圧CVD法によって再びポリシリコンを堆積させ、ポリシリコン内にリンを拡散させて、 $10^{21} \text{ cm}^{-3}$ 程度の高濃度にして、導電性を与える。

#### 【0067】

次に、図14(c)から図15(a)にかけて、スイッチングトランジスタのゲート電極部、ワード線の加工が行われる。図14(c)では、レジストの塗布およびフォトリソグラフィを行う。針状結晶の先端部の周囲のゲート電極部、および、そこからのびるワード線部分、にレジストが残される。それから、図15(a)に示すようにドライエッチングを行い、ゲート電極部およびワード線以外

のポリシリコンを除去する。

【0068】

図15(b)では、レジスト除去後にCVD法により酸化膜を堆積する。酸化膜は全体に形成され、絶縁膜として機能する。図15(c)では、シリコン針状結晶先端部にアルミニウム配線を形成する。このアルミニウム配線が、前述のようにビット線として機能する。

【0069】

以上のようにして、図12のメモリセル、すなわち、シリコン針状結晶の先端に形成されたスイッチングトランジスタと、その下側に形成されたキャパシタとを有するメモリセルが形成される。

【0070】

なお、実施形態1～実施形態3に関して説明した製造プロセスは一例であり、他のプロセスが用いられてもよいことはもちろんである。さらに、本発明の範囲内でのメモリセルの変形に応じて、製造プロセスも適宜変更される。

【0071】

【発明の効果】

以上のように、本発明によれば、メモリセルにシリコン結晶の針状体を設け、針状体の側面にキャパシタを形成したので、小さな面積で大きなキャパシタ容量を確保できる。さらに、針状体にスイッチングトランジスタをも設けることで、メモリセルの占有面積を大幅に小さくできる。適切な形状および構造を有する針状体は、好ましくは本発明者が考案したマイクロマスクを利用する異方性エッチング方法によって得られる。以上より、半導体記憶装置の高集積化が可能となり、G b i tクラスのDRAMが実現可能となる。

【0072】

なお、ここではDRAMについて主として説明したが、前述したように、DRAM以外のキャパシタを利用する半導体記憶装置にも本発明を同様に適用可能なことはもちろんである。

【図面の簡単な説明】

【図1】 DRAMのメモリセルの基本的な構成を示す図である。

【図 2】 本発明の第 1 の実施形態の D R A M のメモリセルの構成を示す図である。

【図 3】 図 2 のメモリセルのシリコン針状体を生成する方法を示す図である。

【図 4】 図 3 の処理で針状錘体を適当な配置に形成する方法を示す図である。

【図 5】 図 2 のメモリセルを形成する工程を示す第 1 の図である。

【図 6】 図 2 のメモリセルを形成する工程を示す第 2 の図である。

【図 7】 図 2 のメモリセルを形成する工程を示す第 3 の図である。

【図 8】 本発明の第 2 の実施形態のメモリセルの構成を示す図である。

【図 9】 図 8 のメモリセルを形成する工程を示す第 1 の図である。

【図 1 0】 図 8 のメモリセルを形成する工程を示す第 2 の図である。

【図 1 1】 図 8 のメモリセルを形成する工程を示す第 3 の図である。

【図 1 2】 本発明の第 3 の実施形態のメモリセルの構成を示す図である。

【図 1 3】 図 1 2 のメモリセルを形成する工程を示す第 1 の図である。

【図 1 4】 図 1 2 のメモリセルを形成する工程を示す第 2 の図である。

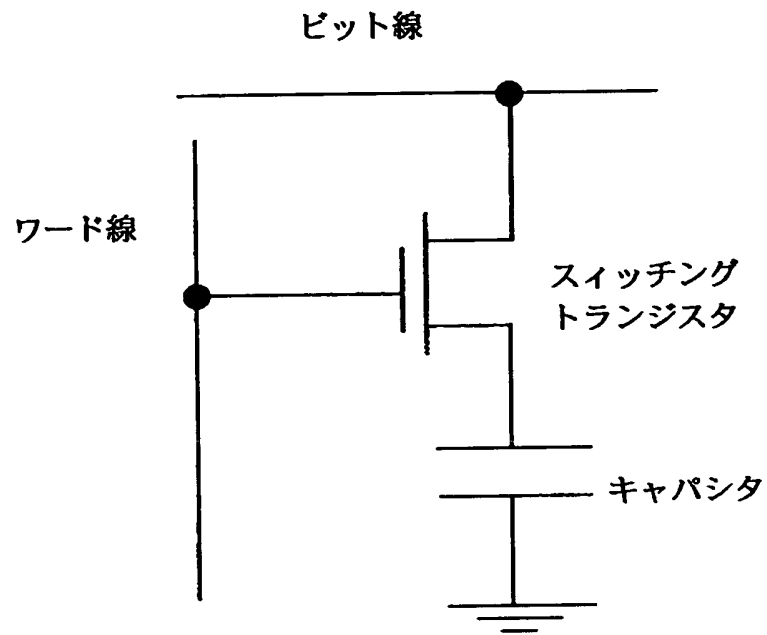
【図 1 5】 図 1 2 のメモリセルを形成する工程を示す第 3 の図である。

#### 【符号の説明】

1 シリコン基板、1 0 キャパシタ、1 1 シリコン針状体、1 2 絶縁膜、1 3 スイッチ側キャパシタ電極、1 4 絶縁膜、2 0 スイッチングトランジスタ、2 1 ソース不純物濃度層、2 2 ドレイン不純物濃度層、2 3 ワード線、2 4 ビット線。

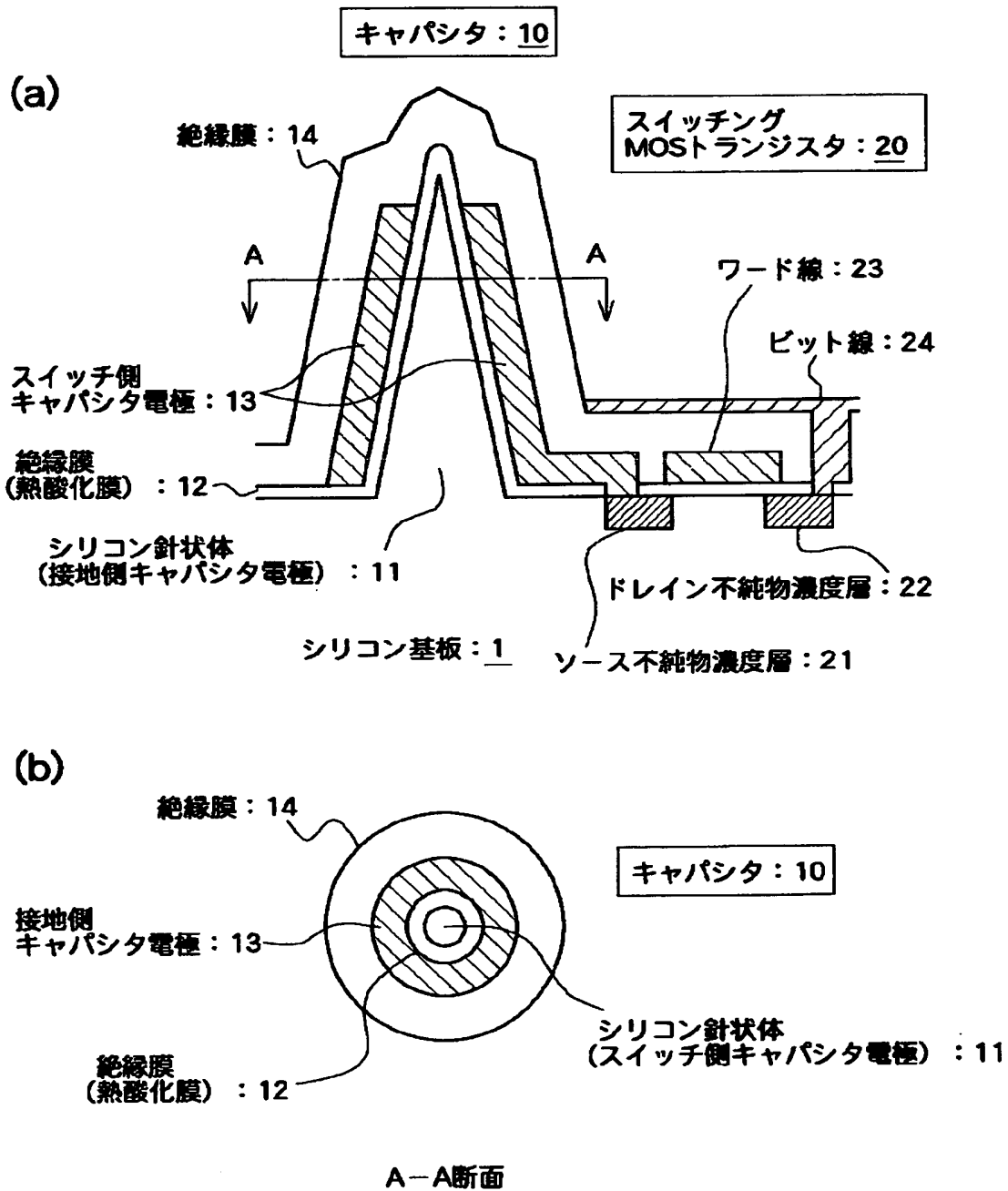
【書類名】 図面

【図 1】

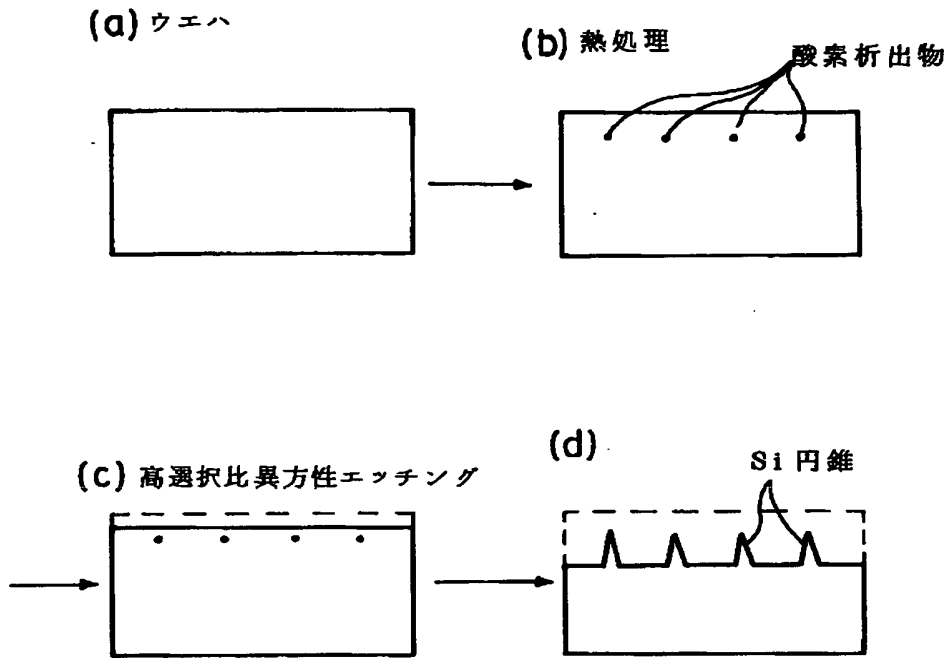


DRAMのメモリセル

【図 2】

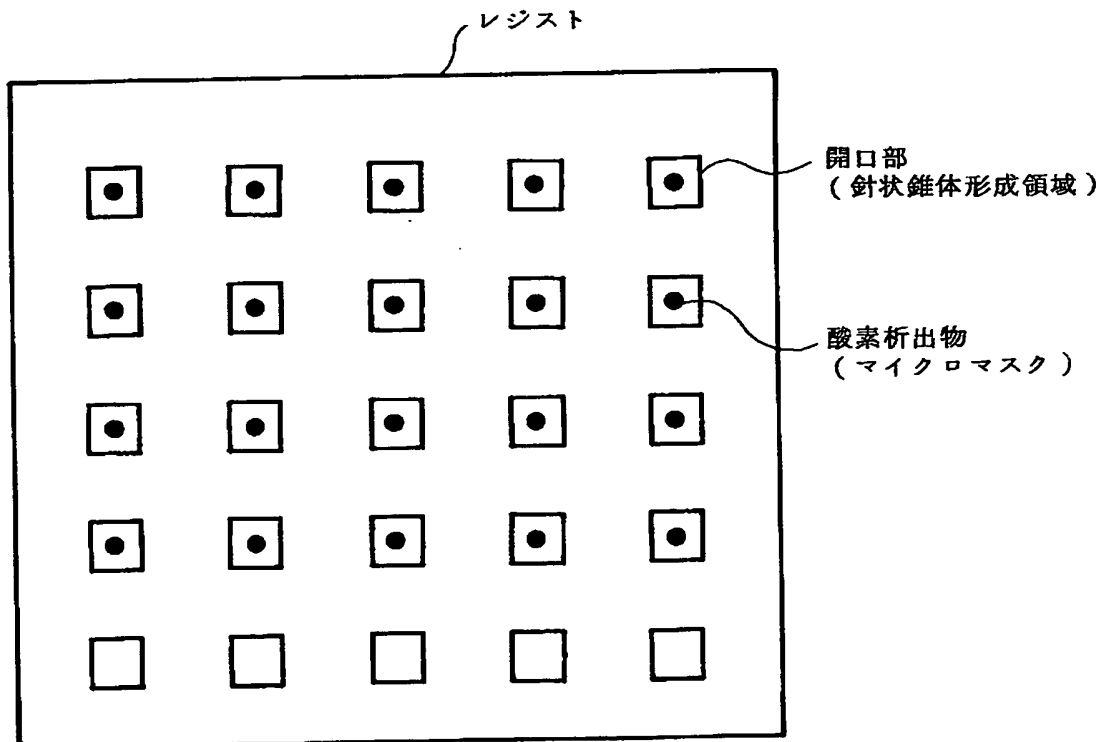


【図 3】

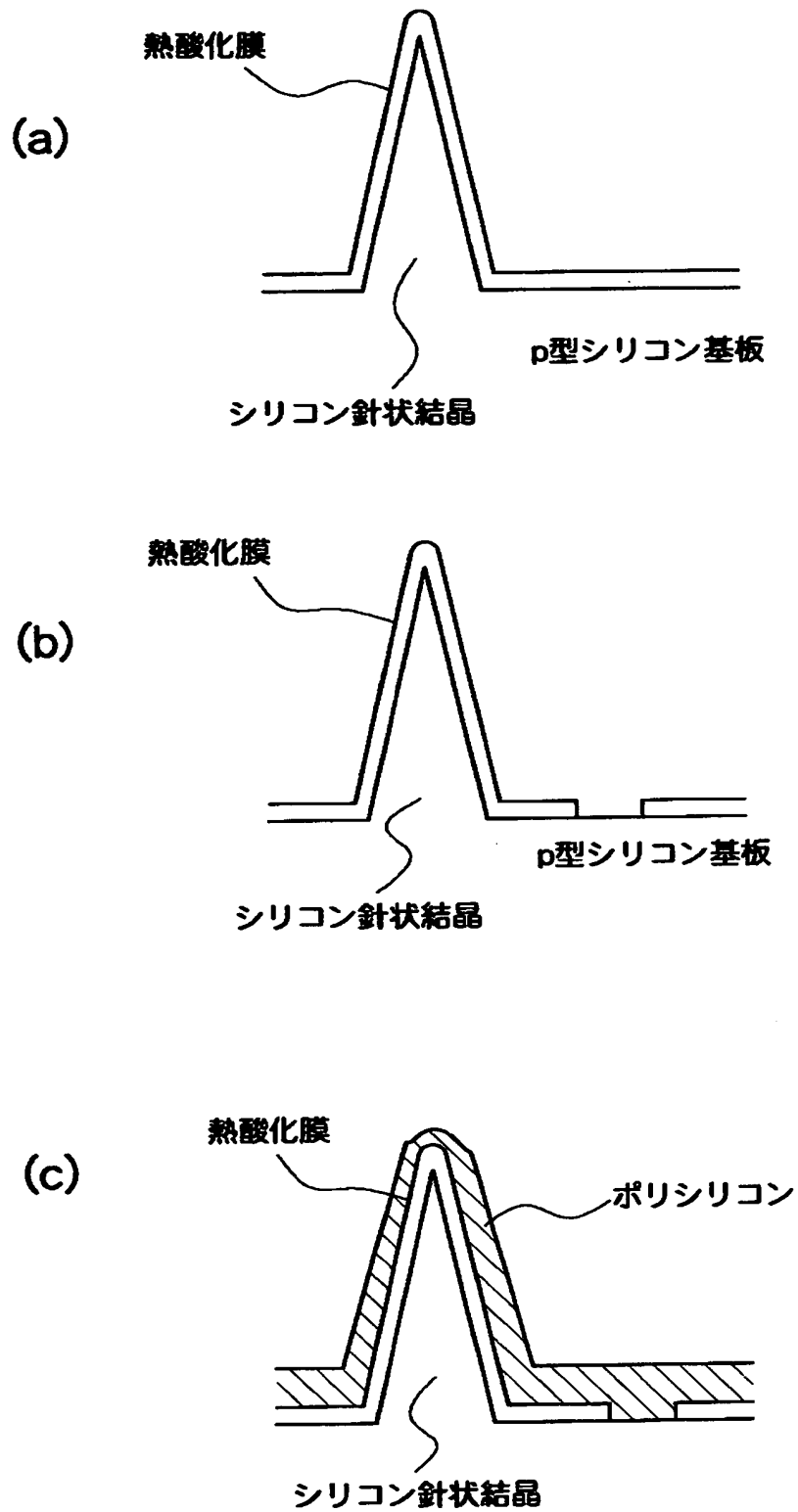


高選択比異方性エッチングによる Si 円錐形成原理模式図  
(ウェハを断面から見たところ)

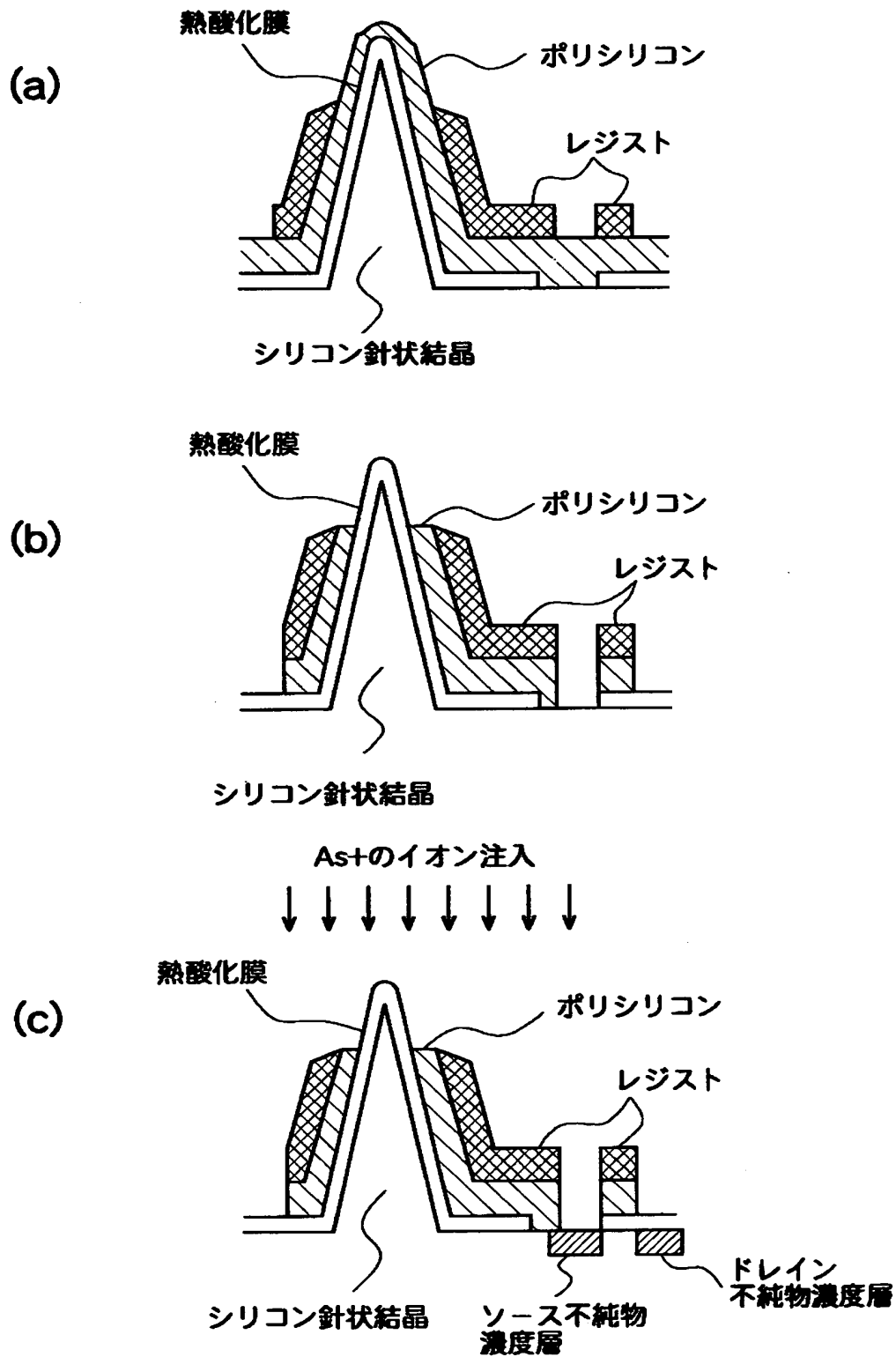
【図 4】



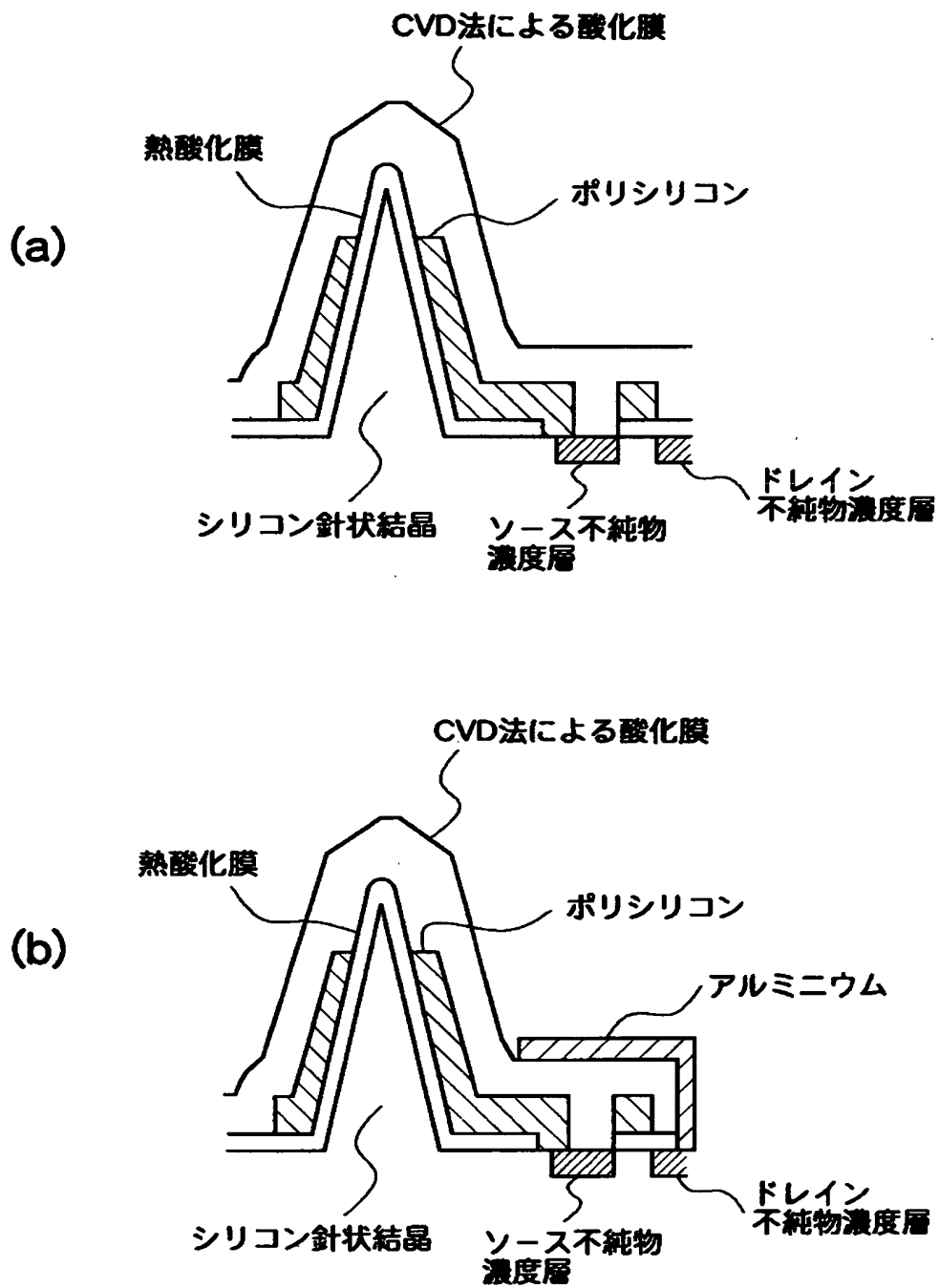
【図 5】



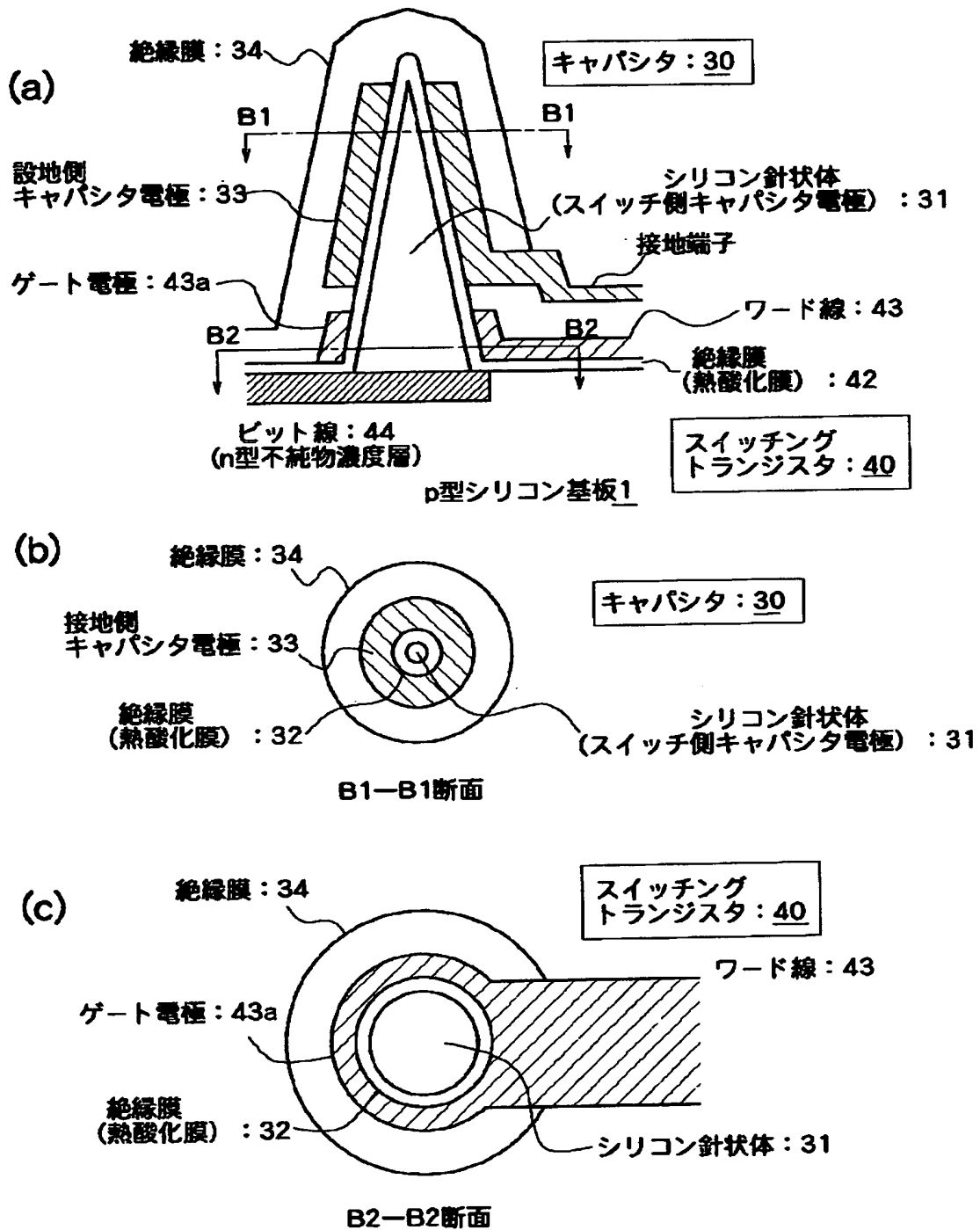
【図 6】



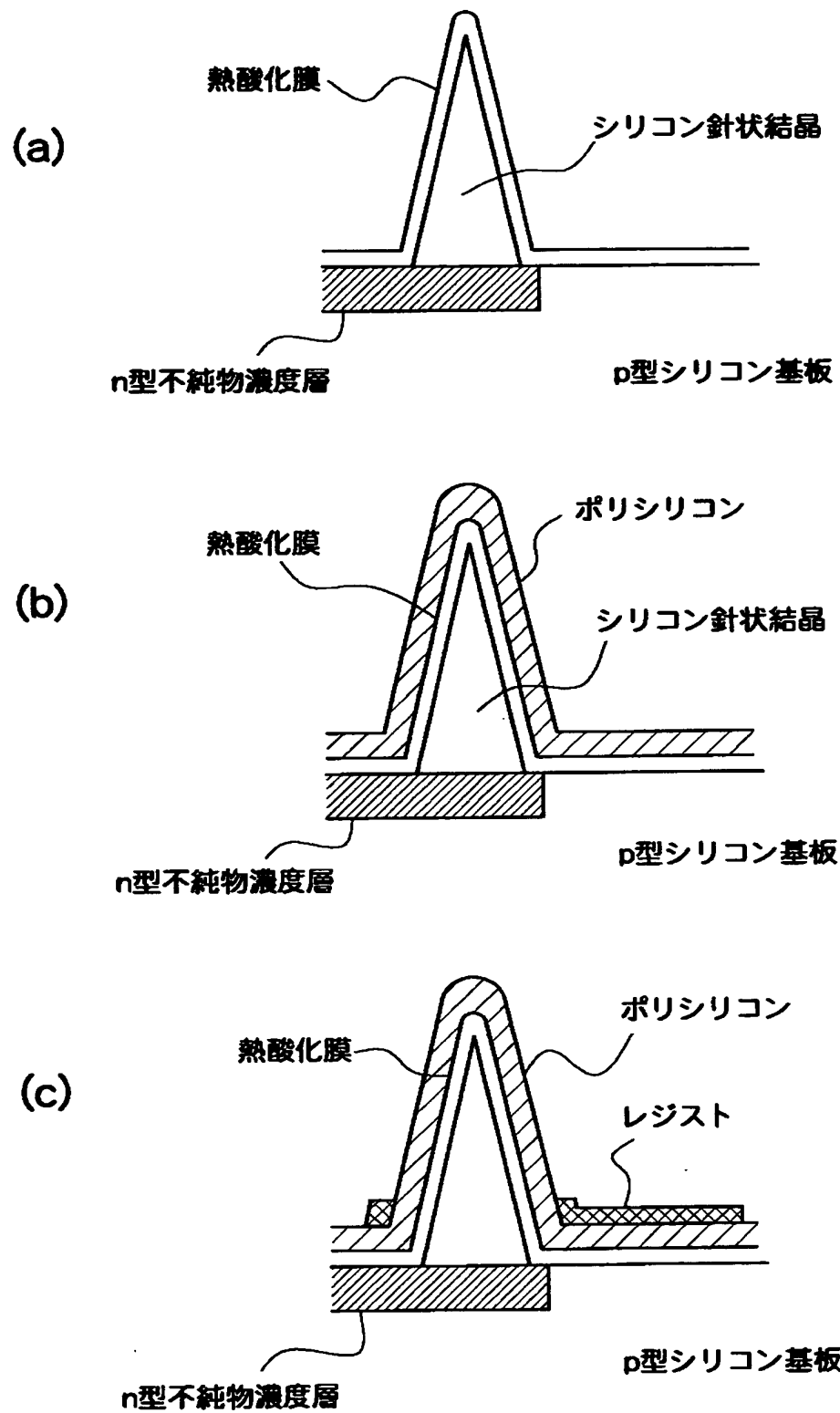
【図 7】



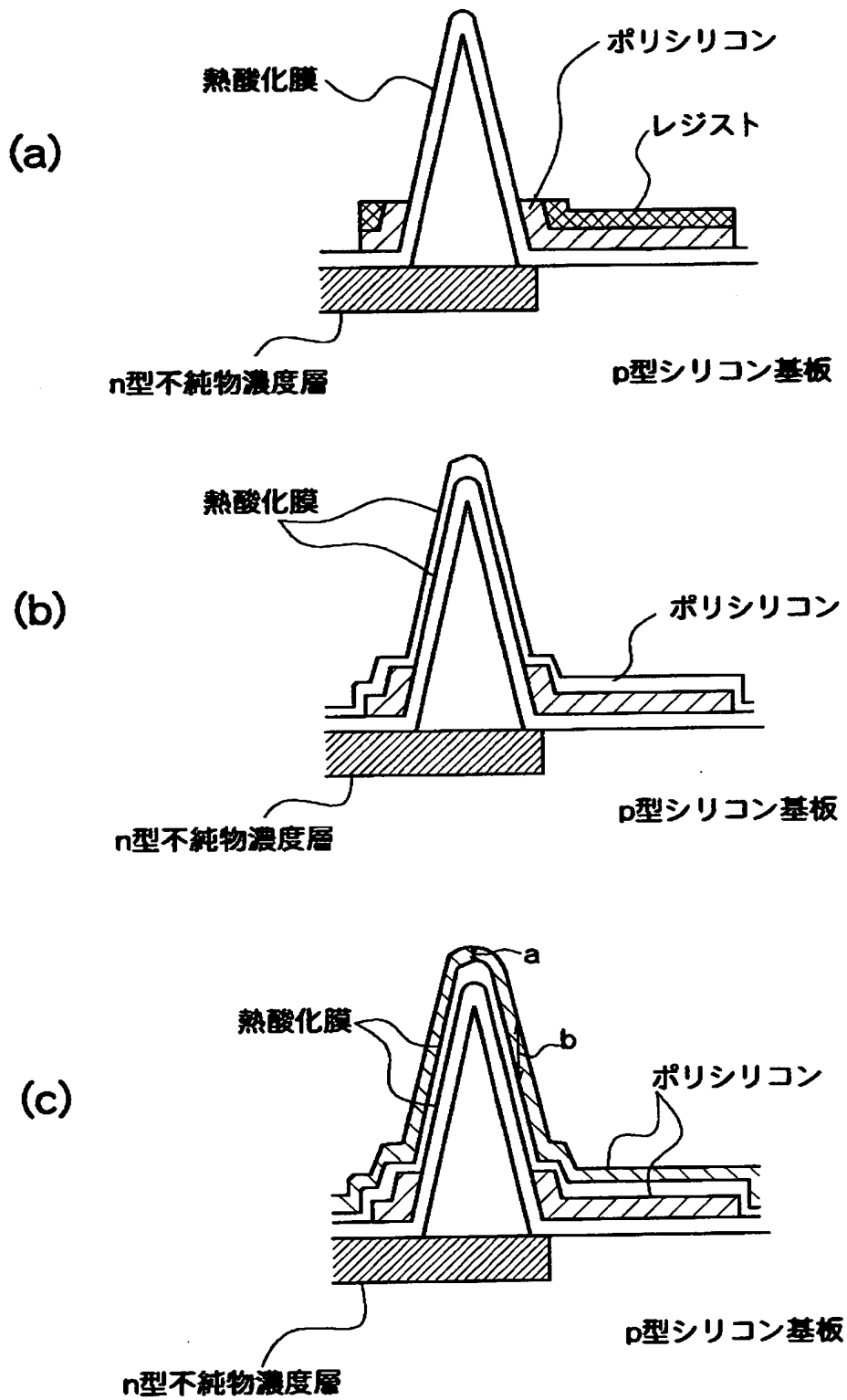
【図 8】



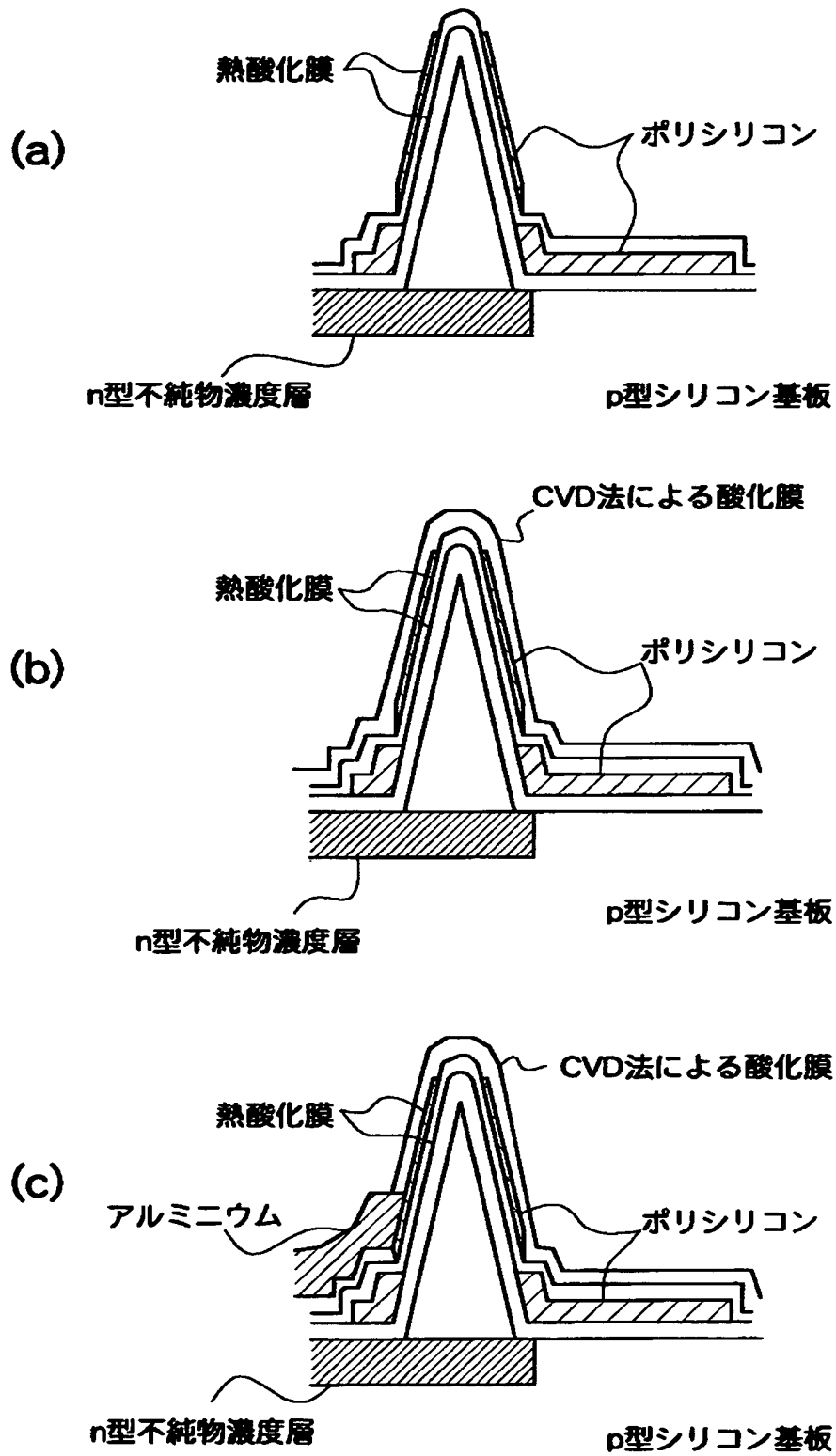
【図 9】



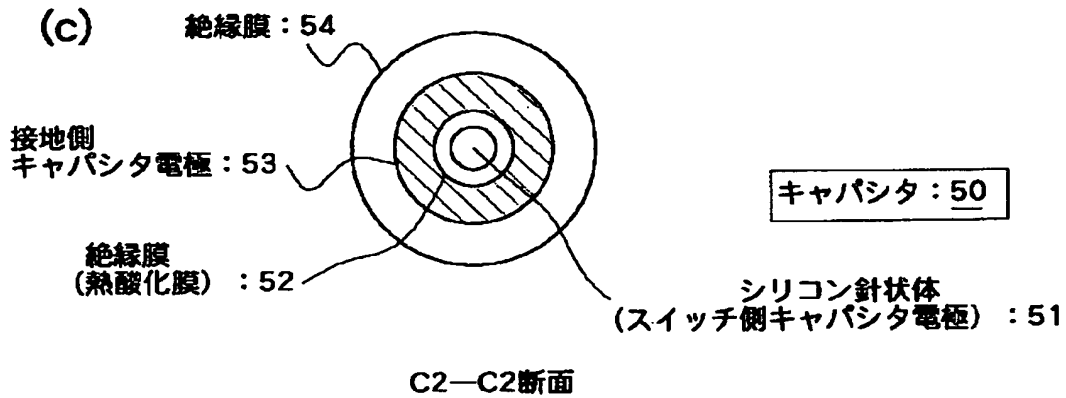
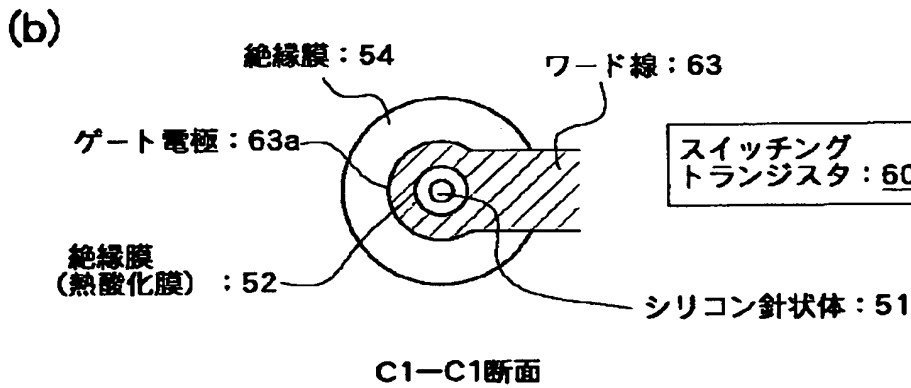
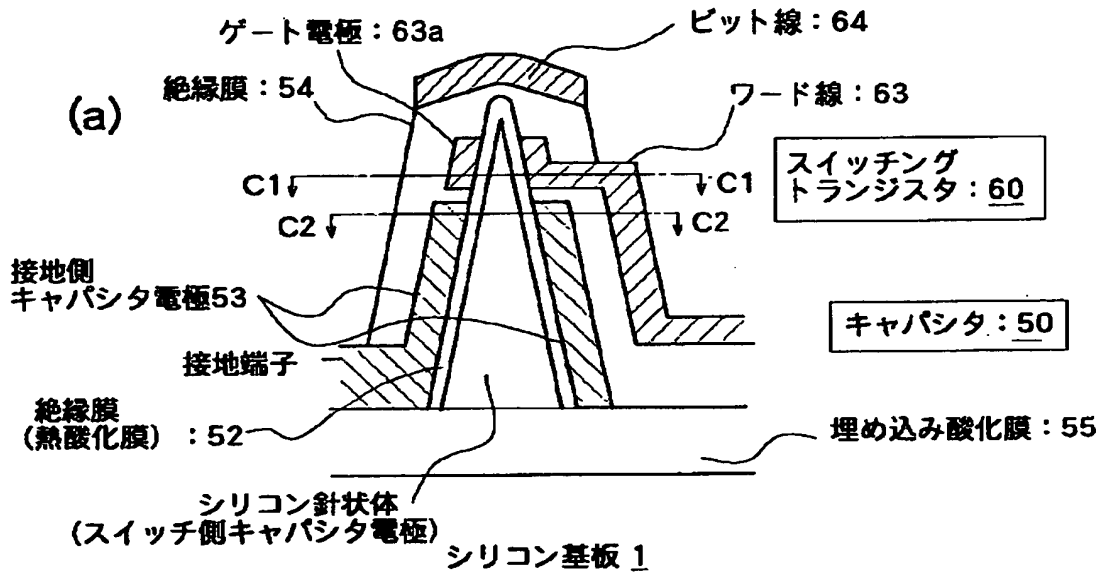
【図 10】



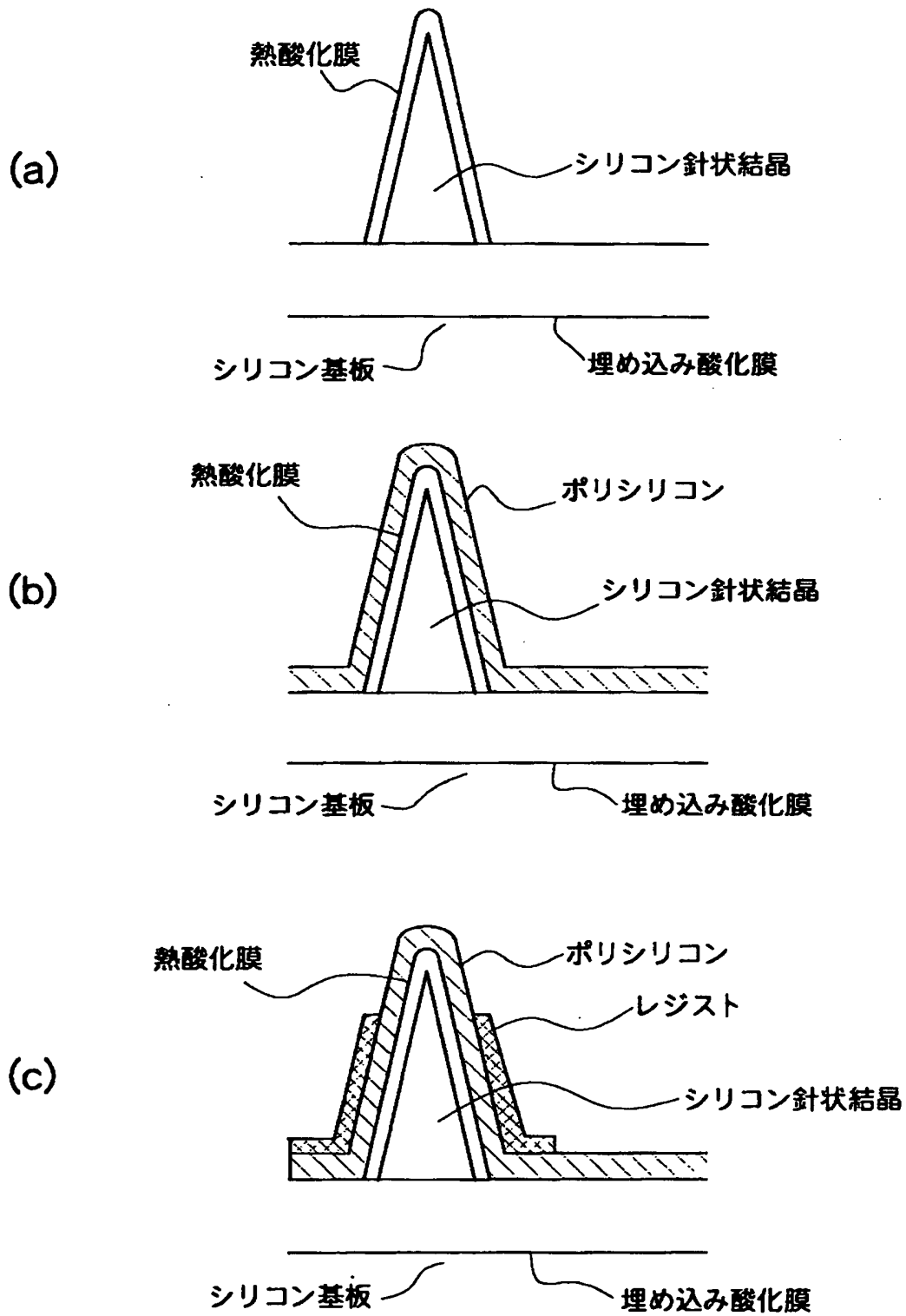
【図 1 1】



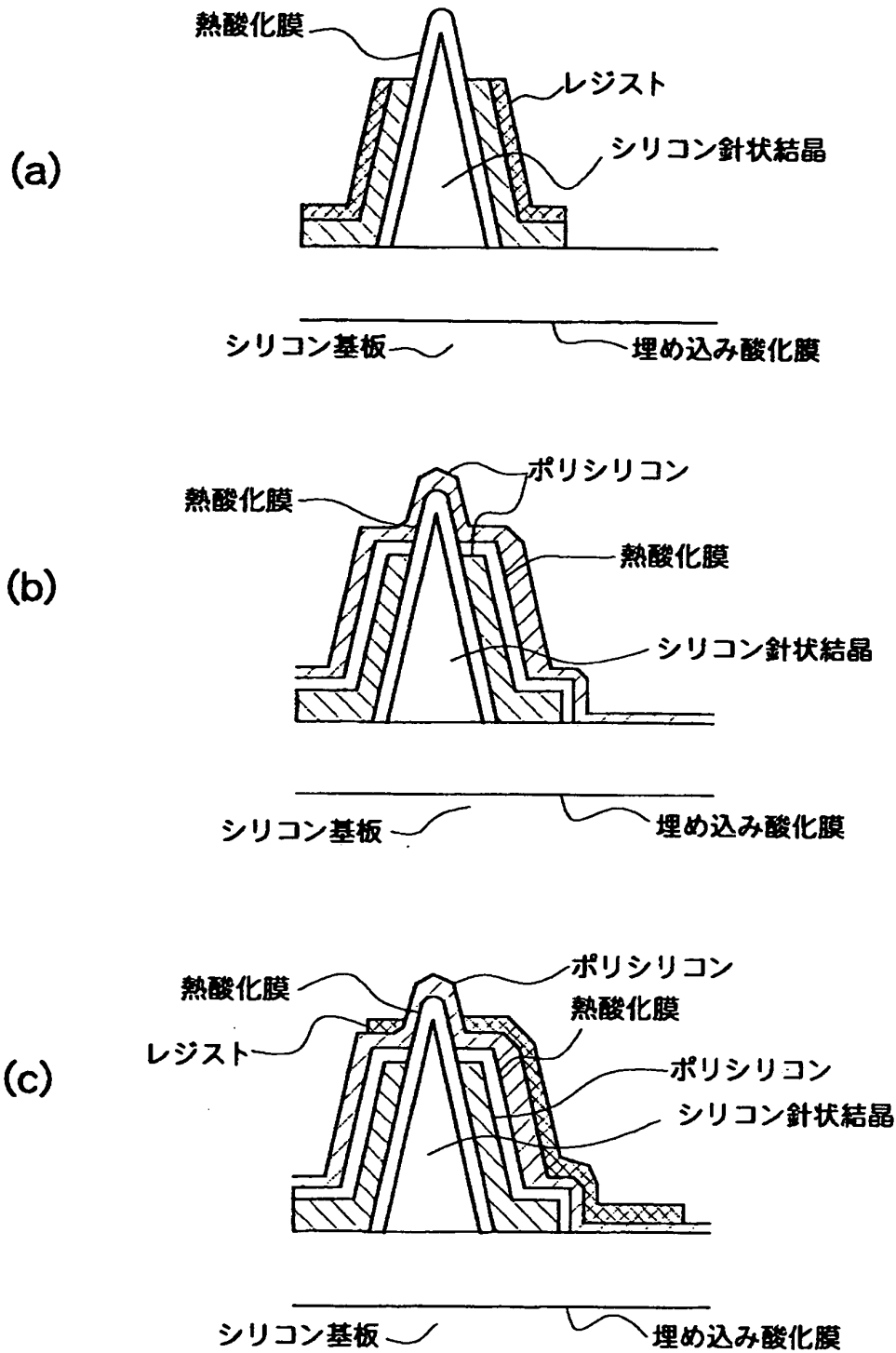
【図 1 2】



【図 1 3】

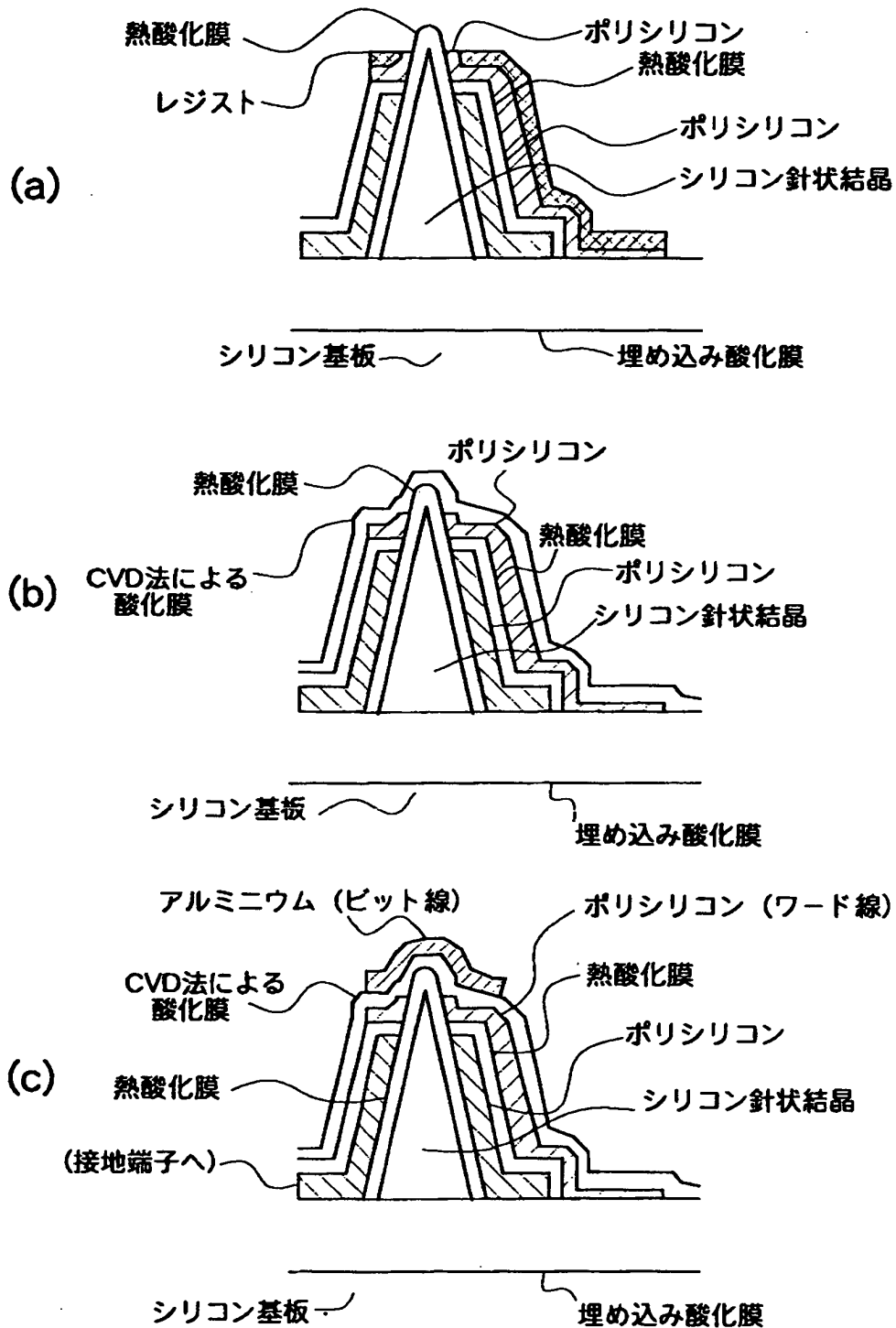


【図 14】



BEST AVAILABLE COPY

【図 15】



BEST AVAILABLE COPY

【書類名】 要約書

【要約】

【課題】 D R A Mの高集積化を可能にする。

【解決手段】 D R A Mの各メモリ単位にシリコン結晶の針状体 1 1 を形成する。針状体 1 1 を 1 つの電極として、結晶側面にキャパシタ 1 0 を形成する。すなわち、絶縁膜 1 2 の外側に電極 1 3 が設けられる。少ない占有面積で容量の大きなキャパシタを形成できる。好ましくは、スイッチングトランジスタも針状結晶 1 1 の一部に形成することにより、さらなる高集積化を行う。トランジスタは針状結晶のふもとに設けてもよく、あるいは先端に設けてもよい。

【選択図】 図 2

BEST AVAILABLE COPY

出 願 人 履 歴 情 報

識別番号 [000003609]

1. 変更年月日 1990年 9月 6日  
[変更理由] 新規登録  
住 所 愛知県愛知郡長久手町大字長湫字横道41番地の1  
氏 名 株式会社豊田中央研究所

BEST AVAILABLE COPY